

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-179000

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

H01L 21/288
 C23C 18/16
 C23C 18/31
 C23C 18/34
 H01L 21/28
 H01L 21/3205

(21)Application number : 2001-378427

(71)Applicant : SONY CORP

(22)Date of filing : 12.12.2001

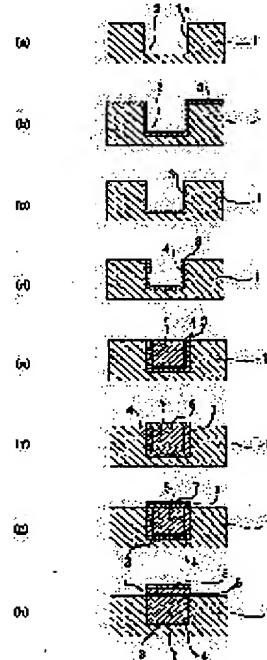
(72)Inventor : NOGAMI TAKESHI
 SEGAWA YUJI
 KOMAI HISANORI
 HORIKOSHI HIROSHI
 OOKA YUTAKA
 YUBI HIROSHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor device by surely preventing oxidation of a barrier film.

SOLUTION: The barrier film having the copper diffusion preventing function is formed on a metal wiring including copper with a electroless plating method and a barrier film oxidation prevention film is formed thereon continuously with the electroless plating method. The barrier film is composed, for example, of cobalt alloy or nickel alloy. The oxidation preventing film is composed of silicide of cobalt, cobalt alloy, nickel, nickel alloy or the like. The oxidation preventing film is formed as the silicide film through heat treatment under the atmosphere not including oxygen or through radiation of argon ion.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

06.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by forming the barrier film which has a copper diffusion prevention function by the electroless deposition method on metal wiring containing copper, and forming the antioxidizing film of said barrier film on it.

[Claim 2] The above-mentioned barrier film is a semiconductor device according to claim 1 characterized by consisting of at least one sort chosen from a cobalt alloy and a nickel alloy.

[Claim 3] The above-mentioned cobalt alloy or a nickel alloy is a semiconductor device according to claim 2 characterized by including at least one sort chosen from a tungsten, molybdenum, Lyn, and boron.

[Claim 4] The above-mentioned antioxidizing film is a semiconductor device according to claim 1 characterized by at least one sort chosen from cobalt, a cobalt alloy, nickel, and a nickel alloy being the silicide-ized film.

[Claim 5] The manufacture approach of the semiconductor device characterized by forming the barrier film which has a copper diffusion prevention function by the electroless deposition method, and forming the antioxidizing film of said barrier film by the electroless deposition method on metal wiring containing copper succeeding a it top.

[Claim 6] The above-mentioned barrier film is the manufacture approach of the semiconductor device according to claim 5 characterized by forming by at least one sort chosen from a cobalt alloy and a nickel alloy.

[Claim 7] The above-mentioned cobalt alloy or a nickel alloy is the manufacture approach of the semiconductor device according to claim 6 characterized by including at least one sort chosen from a tungsten, molybdenum, Lyn, and boron.

[Claim 8] The manufacture approach of the semiconductor device according to claim 5 characterized by forming a catalyst bed on the above-mentioned metal wiring, and forming the barrier film by the electroless deposition method after that.

[Claim 9] The above-mentioned catalyst bed is the manufacture approach of the semiconductor device according to claim 8 characterized by forming alternatively on the above-mentioned metal wiring using a difference of the ionization tendency of a dissimilar metal.

[Claim 10] The antioxidizing film formed by the describing [above] electroless deposition method is the manufacture approach of the semiconductor device according to claim 5 characterized by heat-treating and silicide-izing in the ambient atmosphere which does not contain oxygen.

[Claim 11] The antioxidizing film formed by the describing [above] electroless deposition method is the manufacture approach of the semiconductor device according to claim 5 characterized by silicide-izing by argon ion irradiation.

[Translation done.]

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

TECHNICAL FIELD

[Field of the Invention] This invention relates to the manufacture approach further about the semiconductor device which has metal wiring containing copper.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art] the large scale integration (a semiconductor device is called hereafter.) conventionally formed on a semiconductor wafer -- the aluminum system alloy is used as an ingredient of detailed wiring. However, in order to raise improvement in the speed of a semiconductor device further, it is necessary to use copper, silver, etc. with more low specific resistance as a charge of wiring material. Especially copper has specific resistance as low as 1.8microomegacm, and since it is high in an about single figure compared with an aluminum system alloy, electromigration resistance is expected from the top advantageous to improvement in the speed of a semiconductor device as a next-generation ingredient.

[0003] In the wiring formation using copper, generally, since copper dry etching is not easy, the so-called DAMASHIN method is used. After this forms a predetermined slot in the interlayer insulation film which consists of silicon oxide beforehand and embeds a wiring material (copper) in the slot, it is the approach of removing an excessive wiring material by chemical machinery polish (CMP being called below Chemical Mechanical Polising.), and forming wiring. furthermore, dual DAMASHIN which embeds a wiring material collectively and removes a surplus wiring material by CMP after forming a connection hole (Via) and a wiring gutter (Trench) -- law is also known.

[Translation done.]

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the Invention] Since the silicide film is formed as antioxidizing film on the barrier film according to this invention so that clearly also from the above explanation, oxidation of the barrier film can be prevented certainly and it is possible to improve the dependability of a semiconductor device sharply. Moreover, the above-mentioned antioxidizing film can be formed continuously and alternatively after barrier film membrane formation by electroless deposition, and its pretreatment for antioxidizing film electroless deposition is also unnecessary. Furthermore, the barrier film and the antioxidizing film can be formed by continuation membrane formation by electroless deposition, and processing within the same equipment is possible for them. Or it can process by putting the same equipment in order. Therefore, a major change is not needed for a process but it is very advantageous on semiconductor device manufacture.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] By the way, generally it is multilayered and copper wiring is used. Before forming the upper wiring in that case in order to prevent diffusion of the copper to an insulator layer, the barrier film which consists of silicon nitride, carbonization silicon, etc. is formed. However, it is thought that silicon nitride and carbonization silicon have the advantageous approach of covering with barrier metal alternatively about the copper front face after CMP since specific inductive capacity is larger than silicon oxide.

[0005] As a barrier metal layer, the approach of forming alloys, such as CoWP, alternatively only on a copper wiring layer by the electroless deposition method is advocated, and it is expected that the film of the silicon nitride of a high dielectric constant and carbonization silicon becomes unnecessary, and RC delay of wiring by resistance and capacity is improved by this.

[0006] However, the barrier film which consists of CoWP etc. has the problem of being scarce in oxidation resistance. When it follows, for example, is put to ambient atmospheres, such as air, by heat treatment at degree process, possibility that the barrier film will oxidize and adhesion with the upper wiring will become weak is large. The fall of such adhesion brings a result which spoils the dependability of a semiconductor device greatly.

[0007] This invention is proposed for the purpose of canceling un-arranging [which this conventional technique has]. Namely, this invention prevents oxidation of the barrier film certainly, and aims at offering a reliable semiconductor device and its manufacture approach. Moreover, this invention does not need to change a manufacture process greatly and aims at offering the semiconductor device which can simplify a process, and its manufacture approach.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

MEANS

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor device of this invention is characterized by forming the barrier film which has a copper diffusion prevention function by the electroless deposition method on metal wiring containing copper, and forming the antioxidizing film of said barrier film on it. Moreover, the manufacture approach of the semiconductor device of this invention is characterized by forming the barrier film which has a copper diffusion prevention function by the electroless deposition method, and forming the antioxidizing film of said barrier film by the electroless deposition method on metal wiring containing copper, succeeding a it top.

[0009] By forming the antioxidizing film on the barrier film, oxidation of the barrier film is prevented certainly and the problem [wiring / upper] of an adhesion fall is solved. Moreover, like the barrier film, since the antioxidizing film is formed by electroless deposition, it can be formed continuously and alternatively and processing within the same equipment is possible for it. Therefore, the major change on a process does not need. Moreover, if the autocatalysis capacity of a barrier layer is used, pretreatment for carrying out electroless deposition of the antioxidizing film is also unnecessary.

[0010]

[Embodiment of the Invention] Hereafter, the semiconductor device which applied this invention, and its manufacture approach are explained to a detail, referring to a drawing.

[0011] The semiconductor device of this invention has metal wiring containing copper, and the barrier film and antioxidizing film which have a copper diffusion prevention function are formed on this metal wiring. Here, this is formed by the electroless deposition method, using a cobalt alloy and a nickel alloy as barrier film. Here, as a cobalt alloy, CoP, CoB, CoW, CoMo, CoWP, CoWB, CoMoP, CoMoB, etc. can be mentioned. Moreover, NiWP, NiWB, NiMoP, NiMoB, etc. can be mentioned as a nickel alloy. Furthermore, that by which both Co and nickel were alloyed, the combination by which both W and Mo were alloyed can be mentioned. The copper diffusion prevention effectiveness increases by adding a tungsten and molybdenum to cobalt or nickel. Moreover, Lynn which will be secondarily mixed by electroless deposition and boron also make cobalt and nickel which were formed the detailed crystal structure, and contribute to the copper diffusion prevention effectiveness.

[0012] By forming the barrier film which has the above-mentioned copper diffusion prevention function by the electroless deposition method, it can form alternatively only on metal wiring, and the process which etches the barrier film can be skipped. Here, in order to form the barrier film by the electroless deposition method on metal wiring containing copper, catalytic activity-ized processing must be performed to a metal wiring layer front face using Pd which is the high metal of catalyst nature. The pretreatment approach is as being shown below.

[0013] ** Cleaning processing : raise surface wettability with alkaline degreasing.

** Acid treatment : remove Cu to which the front face has oxidized at the same time 2 - 3% of hydrochloric acid etc. neutralizes.

** Pd permutation processing :P Using the solution of hydrochloric acid of dCl₂, the maximum front face of metal wiring is permuted by Pd, and a catalytic activity layer is formed. This is permutation plating and uses a difference of the ionization tendency of a dissimilar metal. The

electron emitted with the dissolution in a solution since it is a less noble metal electrochemically compared with Pd transfers Cu to Pd which is the noble metals in a solution, and Pd is formed on Cu front face of base metal. Therefore, an oxide-film, for example, TEOS, top is not permuted by Pd. As an example of the processing concerned, permutation plating processing was performed in 30–50 degrees C and the with a pH of about one solution of hydrochloric acid of PdCl_2 . As a metal to permute, platinum, gold, a rhodium, etc. are sufficient.

**** Pure-water rinse [0014]** What is necessary is just to perform **** cleaning processing and ** acid treatment** in the above-mentioned pretreatment if needed. Moreover, dipping processing etc. can be mentioned to spin processing using a spin coater as an art in the above-mentioned **** cleaning processing, ** acid treatment, and **Pd permutation processing or paddle processing, and a pan.**

[0015] Next, Co alloy film or nickel alloy film is formed as barrier film by electroless deposition on the plated front face as for which catalytic activity was carried out by said Pd. As aforementioned, Pd of a catalytic activity-ized layer is permuted only on the surface of Cu, and electroless deposition is formed only at the place where Pd exists. Therefore, barrier film membrane formation alternative only on Cu (metal wiring) is attained. In addition, the presentation of electroless deposition liquid and the example of a condition are as follows.

[0016] <Case of CoP> presentation cobalt chloride: 10 – 100 g/l (cobalt sulfate etc.)

Glycine : 2–50g (ammonium salt, such as a succinic acid, an apple acid, a citric acid, a malonic acid, and a formic acid, or those mixture)/l.

Hypophosphorous-acid ammonium: 2 – 200 g/l (formalin, a glyoxylic acid, a hydrazine, boron hydride ammonium, etc.)

Ammonium hydroxide (TMAH, TMAC, KOH, etc.)

50–95 degrees C of conditions, pH 7–12 [0017] During the above-mentioned electroless deposition liquid presentation, when formalin, a glyoxylic acid, a hydrazine, etc. are used instead of hypophosphorous acid ammonium, the barrier film turns into film which does not contain Lynn (P). Moreover, if boron hydride ammonium etc. is used, it will become the film which contains boron (B) instead of Lynn (P). This is the same also in the following electroless deposition liquid presentations.

[0018] A <case of CoWP, CoMoP, NiWP, and NiMoP> presentation cobalt chloride, or a nickel chloride: 10 – 100 g/l (cobalt sulfate, nickel sulfate, etc.)

Glycine : 2–50g (ammonium salt, such as a succinic acid, an apple acid, a citric acid, a malonic acid, and a formic acid, or those mixture)/l.

Tungstic-acid ammonium: 3 – 30 g/l (ammonium molybdate)

Hypophosphorous-acid ammonium: 2 – 200 g/l (formalin, a glyoxylic acid, a hydrazine, boron hydride ammonium, etc.)

Ammonium hydroxide (TMAH, TMAC, KOH, etc.)

50–95 degrees C of conditions, pH 8–12 [0019] About the above-mentioned electroless deposition as well as Pd permutation processing, it is possible the spin processing using a spin coater or paddle processing, and to form membranes by dipping processing etc. further.

[0020] Then, although the antioxidizing film which raises the oxidation resistance of the above-mentioned barrier film is formed, this antioxidizing film is also formed by electroless deposition. As antioxidizing film, what silicide-ized cobalt, a cobalt alloy, nickel, and a nickel alloy can be mentioned, and, specifically, CoSi, CoSiP, CoSiB, NiSi, NiSiP, NiSiB, etc. can be illustrated.

[0021] The antioxidizing film forms Above CoSiP and NiSiP etc. by the electroless deposition method. Since Co or nickel has autocatalysis capacity at this time, self-growth is carried out in electroless deposition liquid. Therefore, after forming the barrier film which consists of CoWP etc., it is possible to form CoSiP, NiSiP, etc. by electroless deposition continuously. Neither CoSiP nor NiSiP is formed on an oxide film (insulator layer) without catalytic activity here, but selective plating is possible. A presentation and conditions of the electroless deposition liquid for forming this antioxidizing film are as follows.

[0022] A <case of CoSiP and NiSiP> presentation cobalt chloride, or a nickel chloride: 10 – 100 g/l (cobalt sulfate, nickel sulfate, etc.)

Glycine : 2–50g (ammonium salt, such as a succinic acid, an apple acid, a citric acid, a malonic

acid, and a formic acid, or those mixture)/l.

Si mixture: -- 0.001 - 0.01-% of the weight tungstic-acid ammonium: -- 3 - 30 g/l (ammonium molybdate)

Hypophosphorous-acid ammonium: 2 - 200 g/l (formalin, a glyoxylic acid, a hydrazine, boron hydride ammonium, etc.)

Ammonium hydroxide (TMAH, TMAC, KOH, etc.)

50-95 degrees C of conditions, pH 8-12 [0023] As the mixed approach of Si, the approach of mixing Si particle of a particle size smaller, for example than submicron one can be mentioned. Or after dissolving a silane (silane), a disilane (disilane), a tetramethylsilane (tetramethylsilane), a trimethyl ethyl silane (trimethylethylsilane), a tetraethyl silane (tetraethylsilane), tetraphenylsilane (tetraphenylsilane), dimethyldichlorosilane (dimethyldichlorosilane), etc. in for example, an alkali solution or an organic solvent, the approach of adding is also employable. For example, a silane can be dissolved in KOH and a disilane can be dissolved in ethanol etc.

Furthermore, it is also possible to use the polysiloxane [Polysiloxane: $\text{H}_3\text{SiO}-(\text{H}_2\text{SiO})_n-\text{SiH}_3$] of the low molecular weight from which the dielectric constant was permuted by strong polar high ethanol etc. by substituents, such as meltable methyl -, ethyl -, vinyl -, phenyl -, chloro -, BUOMO -, methoxy -, and hydroxy -.

[0024] The eutectoid of these Si mixture is carried out in connection with migration in case form a chelate like Co in electroless deposition liquid, it is returned by the reducing agent, it does not deposit and Co etc. deposits. Therefore, after the antioxidizing film forms CoSiP or NiSiP by the above, it is desirable to anneal and silicide-ize at 400-500 degrees C in the ambient atmosphere which is not put to N_2 grade and oxygen. Moreover, it is also possible to use the approach of silicide-izing Co or nickel by irradiating an argon ion beam as the approach of silicide-izing.

[0025] Although the above is the fundamental formation process of the barrier film and the antioxidizing film next, the concrete example of wiring formation adapting this is explained.

[0026] When forming metal wiring containing copper on the insulator layer formed on the semi-conductor wafer, in order to suppress copper diffusion, it is necessary to form barrier metal on an insulator layer beforehand. And in order to form barrier metal by the electroless deposition method on the insulator layer of a semi-conductor wafer, on a plated front face, the high metal of catalyst nature, for example, palladium etc., (Pd) must be used, and catalyst-ized processing must be performed. Although there are inorganic film like SiO_2 and SiN which are used conventionally, and organic film expected as a low dielectric constant insulator layer ingredient in an insulator layer, the insulator layer by the organic material is being put in practical use by using Cu with small wiring resistance (copper), and coincidence in order to make wiring capacity small, in order to make small wiring delay of the device made detailed and to accelerate. Here, the example of catalyst-ized processing to each insulator layer top is explained.

[0027] The following processings can be performed as catalyst-ized processing to the insulator layer side by the inorganic material. First, as shown in drawing 1 (a), a wiring gutter 2 is formed in the front face of an insulating layer 1 which consists of SiO_2 on a wafer, or SiN with a photolithography technique, hydrophilization of the surface 1a of the insulating layer 1 which consists of this inorganic substance is carried out by oxidizing underwater, and - OH radical is formed in a front face. As an art, what is necessary is just the approach which can perform hydrophilization processings, such as ozone water treatment, sulfuric-acid filtered-water processing, hypochlorous-acid processing, ammonia filtered-water processing, and permanganic acid ammonium processing. Pure water washes after hydrophilization processing.

[0028] Subsequently, although processing which - OH radical and the coupling agent which were formed of said hydroxylation processing are made to react, and carries out a chemical bond is performed, as a coupling agent, a silane coupling agent or a titanium coupling agent is used, for example. A silane coupling agent or a titanium coupling agent contains - OH radical, -COOR radical, -OR radical, etc. in the inside of a chain, or an end (R is an alkyl group). Irregularity can do only the part of an isomerism child's magnitude and silane coupling or the front face by which titanium coupling processing was carried out is split-face-ized. It is enough if the hydrophilic property which is extent with which this processing is adsorbed in the colloid of the catalyst metal of degree process on the front face carried out can be maintained.

[0029] Next, it is made to act on the wafer after the coupling processing which described above Pd colloidal solution protected with the stannous chloride, and catalyst processing is performed. In this case, if it is cypridium rhe company make and a Pd colloidal catalyst like trade name catalyst 9F as the Pd colloidal solution to be used, Pd colloidal catalyst whose protective agent which has protected Pd colloid is a stannous chloride anything since it is used for a semi-conductor process, although it is good is desirable. By carrying out coordinate bond of the tin atom of Pd colloid to the amino group or thiol group of the silane coupling agent on a wafer, or a titanium coupling agent, Pd colloid can be combined firmly. The rinse of after catalyst processing is carried out with pure water.

[0030] Furthermore, for example using cypridium rhe company make, a trade name Accelerator19, and Accelerator240 grade, the front face of Pd colloid fixed by catalyst processing is activated, and the front face of Pd is exposed. Although this exposed Pd is shown as a catalyst bed 3 in drawing 1 (b), the copper returned on this catalyst bed 3 can deposit by the below-mentioned electroless deposition. And water solutions, such as HBF₄ (fluoroboric acid) and H₂SO₄ (sulfuric acid), flush and remove the stannous chloride of the surplus which has not carried out coordinate bond on the surface of the wafer, and Pd is exposed.

[0031] Although what is necessary is just to perform catalyst-ized processing of an insulator layer side similarly when an insulating layer 1 is an organic material, hydrophilization down stream processing in the case of the inorganic material described above in this case is less necessary. Since a direct silane coupling agent carries out a chemical bond to the insulating layer of an organic material, firm adhesion can be obtained. Moreover, association to Pd ion for a catalyst bed is having described above with Pd²⁺ of a catalyst, and coordinate bond in response to the supply of the unshared electron pair of N similarly.

[0032] Although CoP, CoWP, CoMoP, NiWP, or NiMoP which protects copper wiring is formed as a barrier metal by electroless deposition after performing the above-mentioned catalyst processing, when membranes are formed as it is, the barrier metal film will be formed in homogeneity all over a wafer. Therefore, before performing electroless deposition, like drawing 1 (c), a scrubber is used and the catalyst bed 3 on the front face of a wafer is removed mechanically.

[0033] Subsequently, as shown in drawing 1 (d), membranes are formed on the catalyst bed 3 which remains only in a wiring gutter 2 by electroless deposition by making CoP or CoWP, CoMoP, NiWP, NiMoP, etc. into the barrier metal 4. Electroless deposition as well as pretreatment can be performed using a spin coat type or dipping tub type equipment. Electroless deposition, such as CoP, CoWP, and CoMoP, can be performed on the same plating liquid presentation and same conditions as the electroless deposition explained previously. Thus, the barrier metal 4 formed by the electroless deposition method protects the side face of metal wiring (copper), and by the catalyst bed 3, since conformal covering power is possible, it has the advantage that the coverage of detailed wiring Mizouchi of a semi-conductor wafer is very good.

[0034] Furthermore, as shown in drawing 1 (e), CoP, CoWP, CoMoP, NiWP, or the NiMoP layer alternatively formed as a barrier metal 4 is used as a catalytic activity layer, by electroless deposition, in a wiring gutter 2, copper is embedded and a wiring layer 5 is formed. Compared with Cu, since whenever [catalytic activity] is high, Co needs to process nothing on a front face and can deposit copper by electroless deposition. Thus, since the direct membrane formation of the copper as a wiring material can be carried out on the barrier metal 4, firm adhesion can be acquired by metallic bond.

[0035] Barrier metal is alternatively formed again on the formed wiring layer 5 after the above-mentioned wiring layer 5 formation, and a wiring layer 5 is protected. However, as described above, since whenever [catalytic activity] is low, even if it processes Cu with electroless deposition liquid, such as CoP, CoWP, CoMoP, NiWP, or NiMoP, as it is to Co, it does not deposit at all. Then, the maximum front face of Cu is made to permute by Pd, and the catalytic activity layer 6 is made to form using the solution of hydrochloric acid of PdCl₂ first, as shown in drawing 1 (f) as stated previously. This is permutation plating and uses a difference of the ionization tendency of a dissimilar metal.

[0036] Then, as CoP or CoWP, CoMoP, NiWP, NiMoP, etc. are alternatively formed by electroless

deposition and it is shown in drawing 1 (g) in the same process as previous electroless deposition, the barrier metal 7 which protects a wiring layer 5 from a top face is formed. The thickness of the barrier metal 7 is about 30nm.

[0037] The antioxidizing film 8 as continuously formed CoSiP, NiSiP, etc. by electroless deposition with the electroless deposition of the above-mentioned barrier metal 7, finally silicide-ized this and shown in drawing 1 (h) is formed. The thickness of the antioxidizing film 8 is about 1-10nm.

[0038] As mentioned above, although an example of wiring formation was explained, this invention can be applied to various wiring structures besides this. The modification of the wiring structure which is there, next applied this invention, and the wiring formation approach is explained.

[0039] In this example, as shown in drawing 2, 1st wiring layer 12a (barrier film 13a is prepared in the wall surface.) is formed by the etching method etc. on a wafer at insulating-layer 11a which consists of SiO₂ grade which carried out the laminating. The connection hole and the wiring gutter are further formed of etching etc. behind the laminating one by one in insulating layers, such as the barrier film 14a and 14b which besides consists of SiN, and the insulating layers 11b and 11c which consist of SiO₂. And barrier film 13b is formed in a front face including a connection hole and a wiring gutter, after forming the seed layer used as the nucleus of plating on this, by forming a copper electroplating layer and grinding this, seed layers other than a connection hole and a wiring gutter and barrier film 13b are ground alternatively, and 2nd wiring layer 12c is formed in connection wiring 12b at a connection hole, and they are formed in the wiring gutter at coincidence.

[0040] In such wiring structure, the catalyst bed 15 of the front face of 2nd wiring layer 12c is formed, and the antioxidizing film 17 which consists of the barrier film 16 and CoSiP which consist of CoWP etc. alternatively by electroless deposition, NiSiP, etc. is formed continuously. The formation approach of these catalyst beds 15, the barrier film 16, and the antioxidizing film 17 is as having stated previously.

[0041] In addition, although copper wiring is covered as copper diffusion prevention in the above-mentioned example by the barrier film 14a, 14b, and 14c which consists of SiN, copper wiring of all layers can be covered with electroless deposition film, such as CoWP, and these barrier film 14a, 14b, and 14c can also be omitted. Drawing 3 shows this example of wiring structure, in this example, the barrier film 13a, 13b, and 13c is omitted, and 1st wiring layer 12a, connection wiring 12b, and the 2nd wiring layer 12 are covered by the barrier film 21a and 21b which consists of electroless deposition film, such as CoWP.

[0042] And the barrier film 23a and 23b with which the front face of 1st wiring layer 12a and the front face of 2nd wiring layer 12c consist of CoWP etc. through catalyst beds 22a and 22b is formed, and the antioxidizing film 24a and 24b is formed on each barrier film 23a and 23b.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline sectional view in which an example of the wiring formation process in a semiconductor device is shown, and (a) shows the wiring gutter formation process to an insulating layer, The outline sectional view in which (b) shows a catalyst bed formation process, the outline sectional view in which (c) shows a catalyst bed removal process, The outline sectional view showing the barrier film formation process according [(d)] to electroless deposition, the outline sectional view in which (e) shows a wiring formation process, The outline sectional view in which (f) shows the catalyst bed formation process to a wiring top, the outline sectional view in which (g) shows the barrier film formation process to a wiring layer top, and (h) are the outline sectional views showing an antioxidizing film formation process.

[Drawing 2] It is the outline sectional view showing other examples of wiring structure which applied this invention.

[Drawing 3] It is the outline sectional view showing an example of the wiring structure at the time of omitting the SiN barrier film.

[Description of Notations]

5 Wiring Layer, 6 Catalytic Activity Layer, 7 Barrier Metal, 8 Antioxidizing Film, 12a 1st Wiring Layer, 12B Connection Wiring, 12C 2nd Wiring Layer, 15, 22a, 22B Catalyst Bed, 16, 23a, 23B Barrier Film, 17, 24a, 24B Antioxidizing Film

[Translation done.]

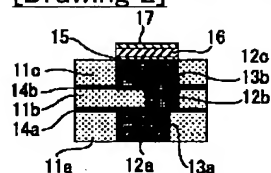
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

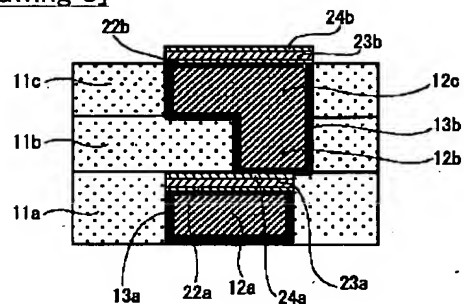
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

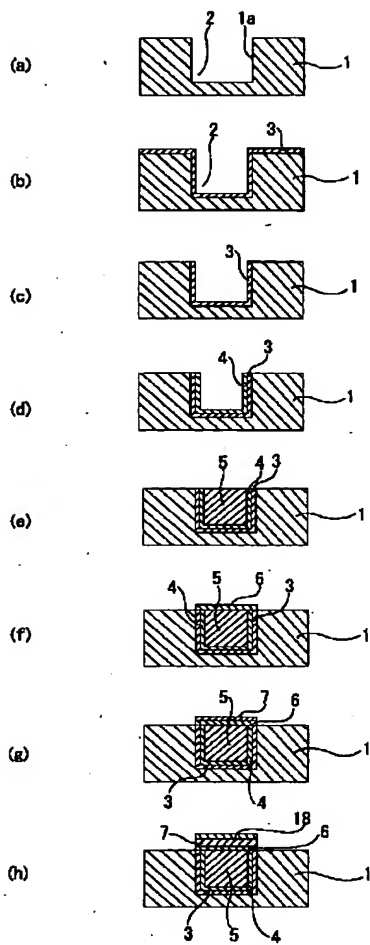
[Drawing 2]



[Drawing 3]



[Drawing 1]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-179000

(P2003-179000A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/288		H 0 1 L 21/288	Z 4 K 0 2 2
C 2 3 C 18/16		C 2 3 C 18/16	B 4 M 1 0 4
18/31		18/31	A 5 F 0 3 3
18/34		18/34	
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 S

審査請求 未請求 請求項の数11 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-378427(P2001-378427)

(22) 出願日 平成13年12月12日 (2001.12.12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野上 毅

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72) 発明者 瀬川 雄司

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74) 代理人 100110434

弁理士 佐藤 勝

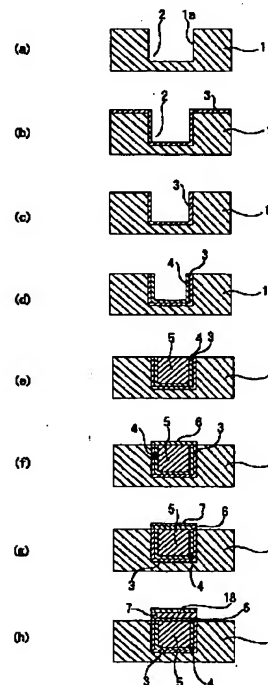
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 バリア膜の酸化を確実に防止し、信頼性の高い半導体装置を提供する。

【解決手段】 銅を含む金属配線上に、無電解メッキ法により銅拡散防止機能を有するバリア膜を形成し、その上に連続して無電解メッキ法によりバリア膜の酸化防止膜を形成する。バリア膜は、例えばコバルト合金、ニッケル合金からなる。酸化防止膜は、コバルト、コバルト合金、ニッケル、ニッケル合金等がシリサイド化された膜である。酸化防止膜は、酸素を含まない雰囲気中で熱処理を施すことにより、あるいはアルゴンイオン照射によりシリサイド化する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 銅を含む金属配線上に、無電解メッキ法により銅拡散防止機能を有するバリア膜が形成され、その上に前記バリア膜の酸化防止膜が形成されていることを特徴とする半導体装置。

【請求項2】 上記バリア膜は、コバルト合金、ニッケル合金から選ばれる少なくとも1種からなることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記コバルト合金又はニッケル合金は、タングステン、モリブデン、リン、ホウ素から選ばれる少なくとも1種を含むことを特徴とする請求項2記載の半導体装置。

【請求項4】 上記酸化防止膜は、コバルト、コバルト合金、ニッケル、ニッケル合金から選ばれる少なくとも1種がシリサイド化された膜であることを特徴とする請求項1記載の半導体装置。

【請求項5】 銅を含む金属配線上に、無電解メッキ法により銅拡散防止機能を有するバリア膜を形成し、その上に連続して無電解メッキ法により前記バリア膜の酸化防止膜を形成することを特徴とする半導体装置の製造方法。

【請求項6】 上記バリア膜は、コバルト合金、ニッケル合金から選ばれる少なくとも1種により形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 上記コバルト合金又はニッケル合金は、タングステン、モリブデン、リン、ホウ素から選ばれる少なくとも1種を含むことを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 上記金属配線上に触媒層を形成し、その後、無電解メッキ法によりバリア膜を形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項9】 上記触媒層は、異種金属のイオン化傾向の相違を利用して上記金属配線上に選択的に形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 上記無電解メッキ法により形成される酸化防止膜は、酸素を含まない雰囲気中で熱処理を施しシリサイド化することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項11】 上記無電解メッキ法により形成される酸化防止膜は、アルゴンイオン照射によりシリサイド化することを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、銅を含む金属配線を有する半導体装置に関するものであり、さらには、その製造方法に関するものである。

【0002】

【従来の技術】 従来、半導体ウエーハ上に形成する高密度集積回路（以下、半導体装置と称する。）の微細な配

線の材料として、アルミニウム系合金が用いられている。しかしながら、半導体装置の高速化をさらに高めるためには、配線用材料として、より比抵抗の低い銅や銀等を用いる必要がある。特に、銅は、比抵抗が $1.8 \mu\Omega\text{cm}$ と低く、半導体装置の高速化に有利な上に、エレクトロマイグレーション耐性がアルミニウム系合金に比べて一桁ほど高いため、次世代の材料として期待されている。

【0003】 銅を用いた配線形成では、一般に銅のドライエッチングが容易でないために、いわゆるダマシン法が用いられている。これは、例えば酸化シリコンからなる層間絶縁膜に予め所定の溝を形成し、その溝に配線材料（銅）を埋め込んだ後、余剰の配線材料を化学機械研磨（Chemical Mechanical Polishing：以下、CMPと称する。）により除去し、配線を形成する方法である。さらに、接続孔（Via）と配線溝（Trench）を形成した後、一括して配線材料を埋め込み、余剰配線材料をCMPにより除去するデュアルダマシン法も知られている。

【0004】

【発明が解決しようとする課題】 ところで、銅配線は、一般的に多層化されて用いられる。その際、絶縁膜への銅の拡散を防止する目的で、上層配線を形成する前に、窒化シリコン、炭化シリコン等からなるバリア膜が形成されている。ただし、窒化シリコンや炭化シリコンは、酸化シリコンよりも比誘電率が大きいため、CMP後の銅表面については、選択的にバリアメタルで被覆する方法が有利であると考えられる。

【0005】 バリアメタル層としては、CoWP等の合金を無電解メッキ法により銅配線層上のみに選択的に形成する方法が提唱されており、これにより、高誘電率の窒化シリコン、炭化シリコンの膜が必要なくなり、抵抗と容量による配線のRC遅延が改善されるものと期待される。

【0006】 しかしながら、CoWP等からなるバリア膜は、耐酸化性に乏しいという問題がある。したがって、例えば次工程で熱処理により空気等の雰囲気と曝されると、バリア膜が酸化され、上層の配線との密着性が弱くなる可能性が大きい。このような密着性の低下は、半導体装置の信頼性を大きく損なう結果になる。

【0007】 本発明は、かかる従来技術の有する不都合を解消することを目的に提案されたものである。すなわち、本発明は、バリア膜の酸化を確実に防止し、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。また、本発明は、製造プロセスを大きく変更する必要がなく、工程を簡略化することが可能な半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 上述の目的を達成するために、本発明の半導体装置は、銅を含む金属配線上に、無電解メッキ法により銅拡散防止機能を有するバリア膜

が形成され、その上に前記バリア膜の酸化防止膜が形成されていることを特徴とするものである。また、本発明の半導体装置の製造方法は、銅を含む金属配線上に、無電解メッキ法により銅拡散防止機能を有するバリア膜を形成し、その上に連続して無電解メッキ法により前記バリア膜の酸化防止膜を形成することを特徴とするものである。

【0009】バリア膜上に酸化防止膜を形成することで、バリア膜の酸化が確実に防止され、上層配線との密着性低下の問題が解消される。また、酸化防止膜は、バリア膜と同様、無電解メッキで形成されるため、連続的に、しかも選択的に形成が可能であり、同じ装置内での処理が可能である。したがって、プロセス上の大きな変更は必要としない。またバリア層の自己触媒能力を利用すれば、酸化防止膜を無電解メッキするための前処理も不要である。

【0010】

【発明の実施の形態】以下、本発明を適用した半導体装置及びその製造方法について、図面を参照しながら詳細に説明する。

【0011】本発明の半導体装置は、銅を含む金属配線を有するものであり、この金属配線上に銅拡散防止機能を有するバリア膜及び酸化防止膜が形成されている。ここで、バリア膜としては、コバルト合金やニッケル合金を用い、これを無電解メッキ法により形成する。ここで、コバルト合金としては、CoP、CoB、CoW、CoMo、CoWP、CoWB、CoMoP、CoMoB等を挙げることができる。また、ニッケル合金としては、NiWP、NiWB、NiMoP、NiMoB等を挙げることができる。さらに、CoとNiの両方が合金化されたもの、WとMoの両方が合金化された組み合わせ等も挙げることができる。タングステンやモリブデンをコバルトやニッケルに添加することで、銅拡散防止効果が増大する。また、無電解メッキで副次的に混入されることになるリンやホウ素も、成膜されたコバルトやニッケルを微細な結晶構造とし、銅拡散防止効果に寄与する。

【0012】無電解メッキ法により上記銅拡散防止機能を有するバリア膜を形成することで、金属配線上にのみ選択的に形成することができ、バリア膜をエッチングする工程を省略することができる。ここで、銅を含む金属配線上に無電解メッキ法によりバリア膜を形成するには、金属配線層表面に触媒性の高い金属であるPd等を用いて触媒活性化処理を施さなければならない。その前処理方法は以下に示す通りである。

【0013】①脱脂処理：アルカリ脱脂により、表面のぬれ性を向上させる。

②酸処理：2～3%の塩酸等で中和すると同時に、表面の酸化しているCuを除去する。

③Pd置換処理：PdCl₂の塩酸溶液を用い、金属配

線の最表面をPdで置換し、触媒活性層を形成する。これは、置換メッキで、異種金属のイオン化傾向の相違を利用するものである。CuはPdに比べ電気化学的に卑な金属であるから、溶液中での溶解に伴って放出される電子が、溶液中の貴金属であるPdに転移し、卑金属のCu表面上にPdが形成される。したがって、酸化膜、例えばTEOS上はPdで置換されない。当該処理の具体例として、例えば、30～50℃、pH1程度のPdCl₂の塩酸溶液中で置換メッキ処理を行った。置換する金属としては、白金、金、ロジウム等でもよい。

④純水リンス

【0014】上記前処理において、①脱脂処理及び②酸処理は、必要に応じて行えばよい。また、上記①脱脂処理、②酸処理、及び③Pd置換処理における処理方法としては、スピンコータを用いてのスピン処理、あるいはパドル処理、さらにはディッピング処理等を挙げることができる。

【0015】次に、前記Pdにより触媒活性された被メッキ表面に、無電解メッキによりCo合金膜あるいはNi合金膜等をバリア膜として成膜する。前記の通り、触媒活性化層のPdはCuの表面だけに置換され、無電解メッキはPdの存在するところにのみ成膜される。したがって、Cu（金属配線）上のみに選択的なバリア膜成膜が可能となる。なお、無電解メッキ液の組成、条件例は下記の通りである。

【0016】<CoPの場合>

組成

塩化コバルト：10～100g/l（硫酸コバルト等）

グリシン：2～50g/l（コハク酸、りんご酸、クエン酸、マロン酸、ギ酸等のアンモニウム塩、またはそれらの混合物等）

次亜リン酸アンモニウム：2～200g/l（ホルマリン、グリオキシル酸、ヒドラジン、水素化ホウ素アンモニウム等）

水酸化アンモニウム（TMAH、TMAC、KOH等）
条件

50～95℃、pH7～12

【0017】上記無電解メッキ液組成中、次亜リン酸アンモニウムの代わりにホルマリン、グリオキシル酸、ヒドラジン等を用いた場合には、バリア膜はリン（P）を含まない膜となる。また、水素化ホウ素アンモニウム等を用いれば、リン（P）の代わりにホウ素（B）を含む膜となる。これは、以下の無電解メッキ液組成においても同様である。

【0018】<CoWP、CoMoP、NiWP、NiMoPの場合>

組成

塩化コバルトあるいは塩化ニッケル：10～100g/l（硫酸コバルト、硫酸ニッケル等）

グリシン：2～50g/l（コハク酸、りんご酸、クエ

ン酸、マロン酸、ギ酸等のアンモニウム塩、またはそれらの混合物等)

タングステン酸アンモニウム: 3~30 g/l (モリブデン酸アンモニウム)

次亜磷酸アンモニウム: 2~200 g/l (ホルマリン、グリオキシル酸、ヒドラジン、水素化ホウ素アンモニウム等)

水酸化アンモニウム (TMAH、TMAC、KOH等) 条件

50~95℃、pH8~12

【0019】上記無電解メッキについても、Pd置換処理同様、スピコートを用いてのスピ処理、あるいはパドル処理、さらにはディッピング処理等により成膜することが可能である。

【0020】続いて、上記バリア膜の耐酸化性を高める酸化防止膜を形成するが、この酸化防止膜も無電解メッキにより形成する。酸化防止膜としては、コバルト、コバルト合金、ニッケル、ニッケル合金をシリサイド化したものを挙げることができ、具体的には、 CoSi 、 CoSiP 、 CoSiB 、 NiSi 、 NiSiP 、 NiSiB 等を例示することができる。

【0021】酸化防止膜は、無電解メッキ法により上記 CoSiP や NiSiP 等を成膜する。このとき、 Co 、あるいは Ni が自己触媒能力を有するために、無電解メッキ液中では自己成長していく。したがって、 CoWP 等からなるバリア膜を成膜した後に、連続的に CoSiP や NiSiP 等を無電解メッキにより成膜することが可能である。ここで、触媒活性の無い酸化膜(絶縁膜)上には CoSiP や NiSiP 等は成膜されず、選択メッキが可能である。この酸化防止膜を成膜するための無電解メッキ液の組成と条件は下記の通りである。

【0022】< CoSiP 、 NiSiP の場合>

組成

塩化コバルトあるいは塩化ニッケル: 10~100 g/l (硫酸コバルト、硫酸ニッケル等)

グリシン: 2~50 g/l (コハク酸、りんご酸、クエン酸、マロン酸、ギ酸等のアンモニウム塩、またはそれらの混合物等)

Si混合物: 0.001~0.01重量%

タングステン酸アンモニウム: 3~30 g/l (モリブデン酸アンモニウム)

次亜磷酸アンモニウム: 2~200 g/l (ホルマリン、グリオキシル酸、ヒドラジン、水素化ホウ素アンモニウム等)

水酸化アンモニウム (TMAH、TMAC、KOH等) 条件

50~95℃、pH8~12

【0023】Siの混合方法としては、例えばサブミクロンよりも小さな粒径のSi粒子を混合する方法を挙げることができる。または、シラン (silane)、ジシラン

(disilane)、テトラメチルシラン (tetramethylsilane)、トリメチルエチルシラン (trimethylethylsilane)、テトラエチルシラン (tetraethylsilane)、テトラフェニルシラン (tetraphenylsilane)、ジメチルジクロロシラン (dimethyldichlorosilane)等を、例えばアルカリ溶液あるいは有機溶剤に溶解させた後、添加する方法も採用可能である。例えば、シランは、KOHに溶解可能であり、ジシランはエタノール等に溶解可能である。さらには、誘電率が高く極性の強いエタノール等に可溶なメチルー、エチルー、ビニルー、フェニルー、クロロー、ブロモー、メトキシー、ヒドロキシー等の置換基で置換された低分子量のポリシロキサン [Polysiloxane: $\text{H}_3\text{SiO}-(\text{H}_2\text{SiO})_n-\text{SiH}_3$]を用いることも可能である。

【0024】これらSi混合物は、無電解メッキ液中で Co のようにキレートを形成して還元剤により還元されて析出するものではなく、 Co 等が析出するときの泳動に伴い共析するものである。したがって、酸化防止膜は、 CoSiP あるいは NiSiP を上記によって成膜した後、例えば N_2 等、酸素に曝されない雰囲気中で400~500℃でアニールし、シリサイド化することが望ましい。また、シリサイド化の方法としては、アルゴンイオンビームを照射することで Co あるいは Ni をシリサイド化する方法を使用することも可能である。

【0025】以上がバリア膜及び酸化防止膜の基本的な形成プロセスであるが、次に、これを応用した具体的な配線形成例について説明する。

【0026】銅を含む金属配線を半導体ウエハ上に形成された絶縁膜上に形成する場合、銅の拡散を抑えるために、予め絶縁膜上にバリアメタルを形成しておく必要がある。そして、半導体ウエハの絶縁膜上に無電解メッキ法によりバリアメタルを形成するためには、被メッキ表面上に触媒性の高い金属、例えばパラジウム (Pd)等を用いて触媒化処理を施さなければならない。絶縁膜には、従来使用されている SiO_2 、 SiN のような無機膜と、低誘電率絶縁膜材料として期待されている有機膜があるが、有機材料による絶縁膜は、微細化するデバイスの配線遅延を小さくし高速化するために、配線抵抗の小さいCu (銅)を使用すると同時に、配線容量を小さくする目的で実用化されつつあるものである。ここでは、それぞれの絶縁膜上への触媒化処理例について説明する。

【0027】無機材料による絶縁膜面への触媒化処理としては、以下のような処理を行うことができる。まず、図1(a)に示すように、ウエハ上の SiO_2 又は SiN からなる絶縁層1の表面に配線溝2をフォトリソグラフィ技術により形成し、この無機物からなる絶縁層1の表面1aを水中で酸化することにより親水化し、表面に-OH基を形成する。処理方法としては、オゾン水処理、硫酸過水処理、次亜塩素酸処理、アンモニア過水処

10

20

30

40

50

理、過マンガン酸アンモニウム処理等、親水化処理ができる方法であればよい。親水化処理後は純水で洗浄する。

【0028】次いで、前記水酸化処理によって形成された-OH基とカップリング剤を反応させて化学結合させる処理を行うが、カップリング剤としては、例えばシランカップリング剤又はチタンカップリング剤等を用いる。シランカップリング剤又はチタンカップリング剤は、分子鎖中又は末端に-OH基、-COOR基、-OR基等(Rはアルキル基)を含むものである。シランカ
10 ップリング又はチタンカップリング処理された表面は同分子の大きさの分だけ凹凸ができ、粗面化される。この処理をされた表面に次プロセスの触媒金属のコロイドが吸着される程度の親水性を保つことができれば十分である。

【0029】次に、塩化第一スズで保護したPdコロイド溶液を上記したカップリング処理後のウエハに作用させ、触媒処理を行う。この場合、使用するPdコロイド溶液としては、シップレー社製、商品名キャタリスト9 FのようなPdコロイド触媒であれば何でもよいが、半
20 導体プロセスに使用するので、Pdコロイドを保護している保護剤が塩化第一スズであるPdコロイド触媒が好ましい。ウエハ上のシランカップリング剤又はチタンカップリング剤のアミノ基又はチオール基にPdコロイドのスズ原子を配位結合させることによって、Pdコロイドを強固に結合させることができる。触媒処理後は純水でリンスする。

【0030】さらに、例えばシップレー社製、商品名Accelerator19、Accelerator240等を用い、触媒処理で定着させたPdコロイドの表面を活性化し、Pdの表面を
30 露出させる。この露出したPdは図1(b)において触媒層3として示すが、この触媒層3上に還元された銅が後述の無電解メッキにより析出することができる。そして、 HBF_4 (フッ化ホウ素酸)や H_2SO_4 (硫酸)などの水溶液により、ウエハの表面に配位結合していない余剰の塩化第一スズを洗い流して除去し、Pdを露出させる。

【0031】絶縁層1が有機材料である場合にも同様に絶縁膜面の触媒化処理を行えばよいが、この場合、上記した無機材料の場合における親水化処理工程は必要でな
40 くなる。有機材料の絶縁層には直接シランカップリング剤が化学結合するため、強固な密着を得ることができる。また、触媒層のためのPdイオンに対する結合は、前記したと同様にNの非共有電子対の供与を受けて触媒の Pd^{2+} と配位結合となる。

【0032】上記の触媒処理を行った後に、無電解メッキで、銅配線を保護するCoP、CoWP、CoMoP、NiWP又はNiMoPをバリアメタルとして成膜するが、そのまま成膜するとウエハ全面にバリアメタル
50 膜が均一に形成されてしまうことになる。従って、無電

解メッキを行う前に、図1(c)のように、ウエハ表面の触媒層3を機械的にスクラバーを用いて除去する。

【0033】次いで、図1(d)に示すように、無電解メッキにより、CoPあるいはCoWP、CoMoP、NiWP、NiMoP等をバリアメタル4として配線溝2内のみに残留している触媒層3上に成膜する。無電解メッキも、前処理と同様に、スピンコートタイプあるいはディッピング槽タイプの装置を用いて行うことができる。CoP、CoWP、CoMoP等の無電解メッキは、先に説明した無電解メッキと同様のメッキ液組成及び条件で行うことができる。このように無電解メッキ法で形成されたバリアメタル4は、金属配線(銅)の側面を保護するものであって、触媒層3によってコンフォーマルなつきまわりが可能であるため、半導体ウエハの微細配線溝内のカバレッジが極めて良いという利点を持っている。

【0034】さらに、図1(e)に示すように、バリアメタル4として選択的に成膜されたCoP、CoWP、CoMoP、NiWP又はNiMoP層を触媒活性層として利用し、無電解メッキにより、配線溝2内に銅を埋め込み配線層5を形成する。CoはCuに比べて触媒活性度が高いため、表面に何も処理を施す必要がなく、無電解メッキで銅を析出させることができる。このように、バリアメタル4上に配線材料としての銅を直接成膜できるため、金属結合で強固な密着性を得ることができる。

【0035】上記配線層5形成後、形成された配線層5上に選択的に再度バリアメタルを形成して配線層5を保護する。ただし、Cuは前記したようにCoに対して触媒活性度が低いので、そのままCoP、CoWP、CoMoP、NiWP又はNiMoP等の無電解メッキ液により処理しても何も析出し
ない。そこで、先に述べたように、先ず PdCl_2 の塩酸溶液を用い、Cuの最表面をPdで置換させ、図1(f)に示すように触媒活性層6を形成させる。これは、置換メッキで、異種金属のイオン化傾向の相違を利用するものである。

【0036】その後、先の無電解メッキと同様のプロセスで、CoPあるいはCoWP、CoMoP、NiWP、NiMoP等を選択的に無電解メッキで形成し、図1(g)に示すように、配線層5を上面から保護するバリアメタル7を形成する。バリアメタル7の厚さは、例えば30nm程度である。

【0037】最後に、上記バリアメタル7の無電解メッキと連続的に、 CoSiP や NiSiP 等を無電解メッキにより成膜し、これをシリサイド化して図1(h)に示すような酸化防止膜8を形成する。酸化防止膜8の厚さは、例えば1~10nm程度である。

【0038】以上、配線形成の一例について説明したが、本発明は、これ以外にも種々の配線構造に適用することが可能である。そこで次に、本発明を適用した配線

【 0 0 3 9 】本例では、図 2 に示すように、ウエハ上に積層した SiO_2 等からなる絶縁層 1 1 a にエッチング法等によって第 1 配線層 1 2 a (その壁面にはバリア膜 1 3 a が設けられている。)を形成し、この上に SiN からなるバリア膜 1 4 a、1 4 b や、 SiO_2 からなる絶縁層 1 1 b、1 1 c 等の絶縁層を順次に積層後、更にエッチング等により接続孔及び配線溝が形成されている。そして、接続孔及び配線溝を含む表面にバリア膜 1 3 b が形成され、この上に、メッキの核となるシード層を形成後、銅の電気メッキ層を形成し、これを研磨することにより、接続孔及び配線溝以外のシード層及びバリア膜 1 3 b が選択的に研磨され、接続孔に接続配線 1 2 b、配線溝に第 2 配線層 1 2 c が同時に形成されている。

【0041】なお、上記の例では、銅拡散防止として、SiNからなるバリア膜14a、14b、14cで銅配線を覆っているが、全ての層の銅配線をCoWP等の無電解メッキ膜で被覆し、これらバリア膜14a、14b、14cを省略することもできる。図3は、かかる配線構造例を示すものであり、本例ではバリア膜13a、13b、13cが省略されており、第1配線層12a、接続配線12b及び第2配線層12は、CoWP等の無電解メッキ膜からなるバリア膜21a、21bで覆われている。

【発明の効果】以上の説明からも明かなように、本発明によれば、バリア膜上にシリサイド膜を酸化防止膜として形成しているので、バリア膜の酸化を確実に防止することができ、半導体装置の信頼性を大幅に向上することが可能である。また、上記酸化防止膜は、無電解メッキによりバリア膜成膜後、連続的に、しかも選択的に形成することができ、酸化防止膜無電解メッキのための前処理も必要ない。さらに、バリア膜と酸化防止膜は、無電解メッキによる連続成膜により形成することができ、同じ装置内での処理が可能である。あるいは、同じ装置を並べることで処理が可能である。したがって、プロセスに大きな変更を必要とせず、半導体装置製造上、極めて有利である。

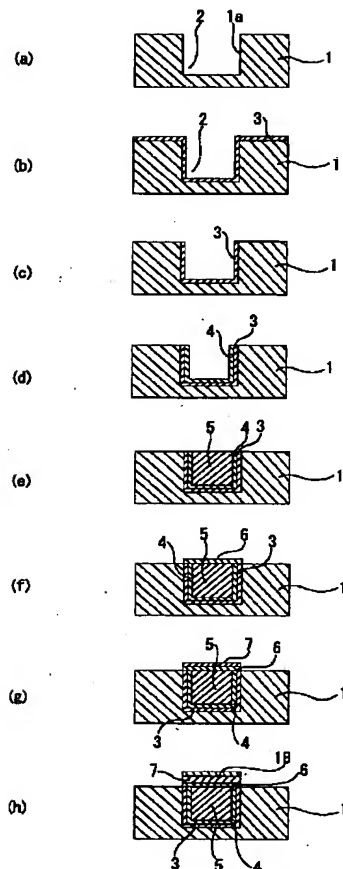
【図１】半導体装置における配線形成プロセスの一例を示すものであり、（a）は絶縁層への配線溝形成工程を示す概略断面図、（b）は触媒層形成工程を示す概略断面図、（c）は触媒層除去工程を示す概略断面図、（d）は無電解メッキによるバリア膜形成工程を示す概略断面図、（e）は配線形成工程を示す概略断面図、（f）は配線上への触媒層形成工程を示す概略断面図、（g）は配線層上へのバリア膜形成工程を示す概略断面図、（h）は酸化防止膜形成工程を示す概略断面図である。

【図3】SiNバリア膜を省略した場合の配線構造の一例を示す概略断面図である。

5 配線層、6 触媒活性層、7 バリアメタル、8 酸化防止膜、12a 第1配線層、12b 接続配線、12c 第2配線層、15、22a、22b 触媒層、16、23a、23b バリア膜、17、24a、24b 酸化防止膜

This cross-sectional view shows a substrate with a trench structure. The trench is filled with a material having a diagonal hatching pattern. The trench is defined by a thick, solid black layer (12b) on the top and bottom walls, and a thinner, dotted layer (12a) on the side walls. The top surface of the trench is covered by a thin, dotted layer (11b) and a thicker, dotted layer (11c). The bottom surface of the trench is covered by a thin, dotted layer (13a) and a thicker, dotted layer (13b). The top surface of the substrate is covered by a thin, dotted layer (22b) and a thicker, dotted layer (23b). The bottom surface of the substrate is covered by a thin, dotted layer (24b) and a thicker, dotted layer (24a).

【図 1】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マ-コード (参考)

H O 1 L 21/28
21/3205H O 1 L 21/28
21/883 0 1 Z
R

(72) 発明者 駒井 尚紀

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

40

(72) 発明者 堀越 浩

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 大岡 豊

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 由尾 啓

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

Fターム(参考) 4K022 AA02 AA05 BA06 BA12 BA14
BA16 BA24 CA07 CA26 DA03
DB02 DB06
4M104 BB04 BB07 BB36 CC01 DD16
DD17 DD22 DD52 DD53 DD75
DD78 DD81 DD84 EE08 EE14
EE17 EE18 FF18 FF21 HH08
HH14 HH20
5F033 HH07 HH11 HH15 HH25 JJ01
JJ07 JJ11 JJ15 KK07 KK11
KK15 KK25 LL06 MM02 MM08
MM12 MM13 NN06 NN07 PP27
PP28 PP33 QQ09 QQ37 QQ46
QQ53 QQ70 QQ73 QQ94 QQ96
RR04 RR06 RR21 XX02 XX03
XX20 XX24 XX27 XX28